# JEDEC와 DDR5 Registering Clock Driver (RCD) 표준 설명

## 1. JEDEC와 표준의 역할 및 변경 배경

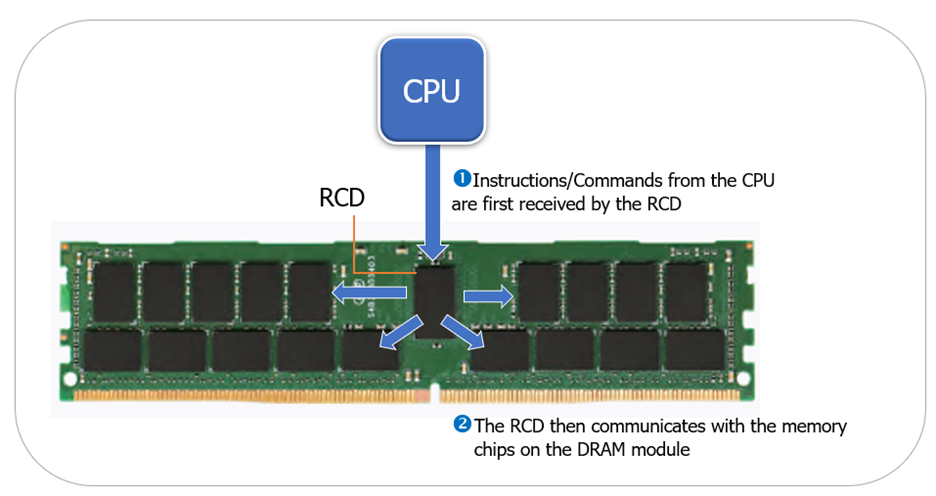
**JEDEC**(제덱, Joint Electron Device Engineering Council)는 전 세계 반도체 업계가 모여 **메모리, 마이크로프로세서, 패키징** 등 다양한 분야의 **개방형 기술 표준을 개발하는 산업 단체**입니다[[1]](https://www.ituonline.com/tech-definitions/what-is-jedec/#:~:text=JEDEC%2C%20the%20Joint%20Electron%20Device,microprocessors%2C%20and%20other%20integrated%20circuits). 3,000명 이상의 전문가와 350여 회원사가 참여하여, 전자제품의 호환성과 신뢰성을 높이기 위한 표준을 제정하고 있죠.

표준을 정하는 **이유**는 **서로 다른 제조사 제품 간의 호환성과 상호운용성을 확보**하고, 제품 개발 과정에서 **혼선을 줄이며 품질과 성능을 보장**하기 위해서입니다[[1]](https://www.ituonline.com/tech-definitions/what-is-jedec/#:~:text=JEDEC%2C%20the%20Joint%20Electron%20Device,microprocessors%2C%20and%20other%20integrated%20circuits)[[2]](https://store.accuristech.com/standards/jedec-jesd82-514-01?product_id=2906165&srsltid=AfmBOopbz-8LfnA26_Mwqp0SE-bRYcQ0R5mF6ZatlEyEMuGHZNGFaS9t#:~:text=The%20purpose%20is%20to%20provide,with%20DDR5RCD03%2C%20DDR5RCD02%20and%20DDR5RCD01). 예를 들어 JEDEC의 DDR 메모리 표준을 따르면, 여러 회사에서 만든 메모리와 CPU/메모리컨트롤러가 호환되어 동작할 수 있습니다. **표준화된 규격은 제품의 규격 통일을 통해 다수 공급원 확보, 혼동 제거, 사양 정의와 사용을 용이하게 하는 효과**를 줍니다[[2]](https://store.accuristech.com/standards/jedec-jesd82-514-01?product_id=2906165&srsltid=AfmBOopbz-8LfnA26_Mwqp0SE-bRYcQ0R5mF6ZatlEyEMuGHZNGFaS9t#:~:text=The%20purpose%20is%20to%20provide,with%20DDR5RCD03%2C%20DDR5RCD02%20and%20DDR5RCD01). 또한 JEDEC 표준과 같은 **공개 표준은 특정 업체에 종속되지 않고 업계 전체의 발전**을 도모합니다.

표준은 **시간이 지남에 따라 개정**되는데, **기술 발전과 산업 수요 변화에 맞춰 새로운 요구사항을 반영**하기 위해서입니다. 반도체 기술은 빠르게 진보하기 때문에, JEDEC도 **최신 기술과 새로운 트렌드를 수용하도록 지속적으로 표준을 업데이트**해야 합니다[[3]](https://www.ituonline.com/tech-definitions/what-is-jedec/#:~:text=Keeping%20Pace%20with%20Technology). DDR 메모리도 세대가 바뀔 때마다 속도가 빨라지고 전압/구조가 변화하므로, 이를 지원하기 위해 표준 문서가 개정되거나 신규 제정됩니다. 이러한 개정을 통해 **성능 향상, 새로운 기능 추가(예: DDR5의 ECC, 온도센서 통합 등)와 기존 문제 수정** 등이 이뤄지며, **가능한 한 이전 버전과의 호환성**도 고려됩니다[[2]](https://store.accuristech.com/standards/jedec-jesd82-514-01?product_id=2906165&srsltid=AfmBOopbz-8LfnA26_Mwqp0SE-bRYcQ0R5mF6ZatlEyEMuGHZNGFaS9t#:~:text=The%20purpose%20is%20to%20provide,with%20DDR5RCD03%2C%20DDR5RCD02%20and%20DDR5RCD01).

## 2. Registering Clock Driver(RCD)란 무엇이며 왜 중요한가?

**Registering Clock Driver**, 줄여 **RCD**는 서버용 **등록형 메모리 모듈(RDIMM)**에 탑재되는 **버퍼/레지스터 칩**입니다. 쉽게 말해 **메모리 컨트롤러(호스트)**와 **다수의 DRAM 칩들** 사이에서 **중계기** 역할을 하는 특수 IC입니다. 일반 PC용 **비등록 메모리(UDIMM)**와 달리 RDIMM에는 중앙에 RCD 칩이 존재하여, 명령 및 주소 신호를 한 번 받아 저장한 뒤 이를 모듈 내 모든 DRAM에게 전달합니다. 이 때 RCD에 신호가 한 번 **레지스터(등록)**되므로 **한 클럭 사이클의 지연**이 추가되지만, 그 대신 **메모리 컨트롤러 입장에서는 각 DIMM 당 하나의 부하만 보게 되어** 전기적 부하가 크게 줄어듭니다[[4]](https://www.atpinc.com/blog/why-do-RDIMM-need-RCD-DDR4-registered-IC#:~:text=A%20registered%20clock%20driver%20,reduce%20impact%20on%20signal%20integrity). RCD가 **CPU와 DIMM 간 “중재자(mediator)”** 역할을 함으로써 메모리 컨트롤러에 걸리는 부하를 줄이고 신호 무결성을 향상시키는 것입니다[[4]](https://www.atpinc.com/blog/why-do-RDIMM-need-RCD-DDR4-registered-IC#:~:text=A%20registered%20clock%20driver%20,reduce%20impact%20on%20signal%20integrity).

  
*RDIMM 메모리 모듈 구성: RCD 칩(모듈 중앙의 작은 칩)이 CPU로부터 명령/주소 신호를 먼저 받은 뒤, 모듈상의 모든 DRAM 칩들로 해당 신호를 전달한다. 이 RCD 칩이 있는 덕분에 한 채널에 더 많은 메모리 칩을 연결해도 신호 품질과 속도를 유지할 수 있다.*

**RCD의 역할**을 조금 더 기술적으로 설명하면 다음과 같습니다. 메모리 컨트롤러에서 오는 **명령(Address/Command)** 신호들과 **클럭** 신호가 먼저 RCD에 입력되면, RCD는 **해당 신호들을 한 사이클 동안 자체 레지스터에 저장**한 후 **복수의 DRAM 칩들로 다시 출력**합니다[[4]](https://www.atpinc.com/blog/why-do-RDIMM-need-RCD-DDR4-registered-IC#:~:text=A%20registered%20clock%20driver%20,reduce%20impact%20on%20signal%20integrity). 또한 RCD는 입력 클럭을 자체 내의 **위상고정루프(PLL)**를 통해 **왜곡과 지터(jitter)가 적은 여러 출력 클럭으로 분배**하여, 모듈 상의 모든 DRAM 칩들이 **동일한 타이밍의 클럭을 안정적으로 공급**받도록 해줍니다[[5]](https://www.mouser.com/datasheet/2/671/ddr5_rdimm_core-3310292.pdf?srsltid=AfmBOoqourhsfI78GaItSdDVOOhJ7XSXR6jALB714A6pYv7MAChwB0JE#:~:text=higher%20densities%20and%20increase%20signal,differential%20pairs%20of%20clock%20outputs). 즉 **RCD 한 개가 메모리 컨트롤러와 수십 개의 DRAM 칩들 사이의 신호선들을 버퍼링/분배**해 주는 구조입니다[[6]](https://www.maxvytech.com/product/jedec/rcd/DDR5RCD03.html#:~:text=The%20DDR5RCD03%20is%20a%20registering,the%20data%20buffers%20for%20LRDIMMs).

이러한 RCD를 통해 **얻는 이점**은 매우 중요합니다. 첫째, **메모리 컨트롤러가 보는 부하(capacitance)**가 크게 줄어들어 **신호 품질(signal integrity)**이 개선되고, 메모리 클럭을 높여도 안정적으로 신호를 전달할 수 있습니다[[7]](https://www.mouser.com/datasheet/2/671/ddr5_rdimm_core-3310292.pdf?srsltid=AfmBOoqourhsfI78GaItSdDVOOhJ7XSXR6jALB714A6pYv7MAChwB0JE#:~:text=To%20reduce%20the%20electrical%20load,SDRAM%20devices%2C%20which%20helps%20enable). 그 결과 한 채널에 더 많은 메모리 칩을 물려도 **동작 속도를 유지하면서 용량을 늘릴 수 있어**, 고용량 서버 메모리 구현이 가능합니다[[8]](https://www.anandtech.com/show/21205/rambus-preps-updated-rcd-for-server-grade-ddr5-7200-modules#:~:text=An%20RCD%20functions%20as%20a,7200%20modules). 예를 들어 RCD가 없다면 메모리 컨트롤러가 직접 여러 DRAM을 구동해야 해 채널 당 모듈 수나 칩 수가 제한되지만, RCD가 **버퍼** 역할을 함으로써 **채널 당 연결된 장치 수를 늘려 고밀도 메모리 구성이 가능**해집니다[[8]](https://www.anandtech.com/show/21205/rambus-preps-updated-rcd-for-server-grade-ddr5-7200-modules#:~:text=An%20RCD%20functions%20as%20a,7200%20modules). 둘째, RCD는 **패리티(parity) 검사 기능**을 포함하고 있어, 메모리 컨트롤러가 보낸 명령/주소 신호의 패리티 비트를 확인함으로써 **전송 오류를 감지**합니다[[9]](https://www.mouser.com/datasheet/2/671/ddr5_rdimm_core-3310292.pdf?srsltid=AfmBOoqourhsfI78GaItSdDVOOhJ7XSXR6jALB714A6pYv7MAChwB0JE#:~:text=Parity%20Operations%20The%20RCD%20includes,checking%20is%20enabled%2C%20the%20RCD). 컨트롤러는 명령과 함께 패리티 비트를 RCD로 보내고, RCD가 이를 검증하여 오류 시 **ALERT\_n 신호로 시스템에 알려주는 안전장치**가 있는 것입니다[[10]](https://www.mouser.com/datasheet/2/671/ddr5_rdimm_core-3310292.pdf?srsltid=AfmBOoqourhsfI78GaItSdDVOOhJ7XSXR6jALB714A6pYv7MAChwB0JE#:~:text=Parity%20Operations%20The%20RCD%20includes,drain%20ALERT_n%20pin). 패리티에 이상이 없을 때만 명령을 DRAM으로 전달하여 잘못된 명령이 실행되지 않게 하므로, 시스템 신뢰성을 높이는 기능입니다. 이 밖에도 DDR5 RCD는 **I2C/I3C 인터페이스를 통한 온도 센서, 전원관리 칩(PMIC)과의 통신**, LRDIMM용 데이터 버퍼 제어 등의 **부가 기능(BCOM 버스 제어 등)**도 수행하며 전력 절감 모드, 루프백 테스트 등의 다양한 기능을 지원합니다[[11]](https://www.maxvytech.com/product/jedec/rcd/DDR5RCD03.html#:~:text=The%20DDR5RCD03%20is%20a%20registering,the%20data%20buffers%20for%20LRDIMMs)[[12]](https://www.maxvytech.com/product/jedec/rcd/DDR5RCD03.html#:~:text=,Interrupt%20Arbitration).

요약하면, **RCD는 RDIMM에서 “Registered”의 핵심이 되는 칩**으로서, **명령/주소/클럭 신호를 버퍼링하여 고용량 메모리 시스템의 성능과 안정성을 확보**해주는 매우 중요한 구성요소입니다[[8]](https://www.anandtech.com/show/21205/rambus-preps-updated-rcd-for-server-grade-ddr5-7200-modules#:~:text=An%20RCD%20functions%20as%20a,7200%20modules). 이러한 이유로 서버나 워크스테이션에는 RCD가 있는 RDIMM (또는 LRDIMM)을 사용하며, **RCD 유무에 따라 Registered DIMM과 Unbuffered DIMM의 차이**가 생깁니다. 반대로 일반 PC용 메모리는 RCD가 없는 UDIMM을 사용합니다 (메모리 용량이 상대적으로 작고 속도가 서버만큼 높지 않아도 되므로, 지연을 줄이기 위해 버퍼를 생략). 고속으로 대용량 메모리를 운용해야 하는 환경에서는 RCD가 **없어서는 안 될 필수 요소**가 된 것입니다[[13]](https://www.anandtech.com/show/21205/rambus-preps-updated-rcd-for-server-grade-ddr5-7200-modules#:~:text=RCDs%20are%20crucial%20for%20contemporary,generation%20server%20platforms).

## 3. DDR5 RCD 표준 문서 번호의 명명 규칙

JEDEC에서 표준 문서를 지정할 때는 보통 **“JESD” +** 번호 **형식을 사용**합니다. JESD는 “JEDEC Standard”의 약칭입니다. DDR5 Registering Clock Driver 표준의 경우 **문서 번호가 JESD82-xxx 형태**로 부여되는데, 여기서 **82는 관련 표준군 시리즈 번호**, 뒤의 **-513, -514 등이 개별 문서 식별 번호**입니다. 예를 들어 **DDR5RCD03** 표준 문서는 “**JESD82-513 Revision 1.00, March 2023**”으로 표시되어 있습니다[[14]](https://img.antpedia.com/standard/files/pdfs_ora/20230825/new27/JEDEC%20JESD82-513-2023.pdf#:~:text=D%20D%20R5%20Re%20g,rc%20h%2020%202%203). 이를 풀어보면 **JEDEC 표준 No.82-513, 리비전 1.00, 2023년 3월 발행**이라는 뜻입니다.

DDR5 세대의 RCD 표준들은 **RCD 세대별로 문서 번호가 순차 할당**되었습니다. **DDR5RCD01** (최초의 DDR5 RCD 규격)은 **JESD82-511** 번호로 2021년경 제정되었고[[15]](https://www.mouser.com/datasheet/2/671/ddr5_rdimm_core-3310292.pdf?srsltid=AfmBOoqourhsfI78GaItSdDVOOhJ7XSXR6jALB714A6pYv7MAChwB0JE#:~:text=phase,specifications%20for%20more%20detail), **RCD02**는 JESD82-512, **RCD03**은 JESD82-513[[15]](https://www.mouser.com/datasheet/2/671/ddr5_rdimm_core-3310292.pdf?srsltid=AfmBOoqourhsfI78GaItSdDVOOhJ7XSXR6jALB714A6pYv7MAChwB0JE#:~:text=phase,specifications%20for%20more%20detail)[[14]](https://img.antpedia.com/standard/files/pdfs_ora/20230825/new27/JEDEC%20JESD82-513-2023.pdf#:~:text=D%20D%20R5%20Re%20g,rc%20h%2020%202%203), **최신판 RCD04**는 JESD82-514로 할당되었습니다. 문서 버전에 **“.01”과 같은 소숫점 표기**가 붙은 것은 **해당 문서의 개정(revision) 번호**를 뜻합니다. 가령 DDR5RCD04 표준 첫 버전은 JESD82-514로 2024년 5월에 승인되었고, 이후 수정사항이 반영된 **Rev.0.1 버전(JESD82-514.01)**이 2024년 6월에 나왔습니다[[16]](https://store.accuristech.com/standards/jedec-jesd82-514-01?product_id=2906165&srsltid=AfmBOopbz-8LfnA26_Mwqp0SE-bRYcQ0R5mF6ZatlEyEMuGHZNGFaS9t#:~:text=1.%20JEDEC%20JESD82,DDR5RCD04%29%20%EE%88%82%20Historical%20Version). 반면 DDR5RCD03 (JESD82-513)의 경우 **Rev.1.00** 한 번만 발행되고 개정판이 없었습니다. 이처럼 JEDEC 문서 번호는 **“문서군-고유번호(.개정번호)”** 형태이며, 필요시 개정판이 숫자로 표기되는 방식입니다. 또한 **“DDR5RCD04”와 같은 명칭**은 해당 표준이 **DDR5 세대의 RCD 4번째 버전**임을 나타내는 **기술명**입니다. JEDEC 문서에는 기술명과 문서 번호가 함께 기재되며, 예를 들어 JESD82-514 문서의 제목에 **“DDR5 Registering Clock Driver Definition (DDR5RCD04)”**이라고 표기되어 있습니다[[17]](https://store.accuristech.com/standards/jedec-jesd82-514-01?product_id=2906165&srsltid=AfmBOopbz-8LfnA26_Mwqp0SE-bRYcQ0R5mF6ZatlEyEMuGHZNGFaS9t#:~:text=DDR5%20Registering%20Clock%20Driver%20Definition,DDR5RCD04). RCD04라는 명칭은 업계에서 통용되는 **부품 식별자**로, 실제 제품에서는 제조사별 접두사와 결합되어 **예: 5RCD054M 등으로 칩 마크**가 되는 식입니다[[18]](https://store.accuristech.com/standards/jedec-jesd82-514-01?product_id=2906165&srsltid=AfmBOopbz-8LfnA26_Mwqp0SE-bRYcQ0R5mF6ZatlEyEMuGHZNGFaS9t#:~:text=The%20designation%20DDR5RCD04%20refers%20to,up%20a%20complete%20part%20designation). DDR5RCD04는 앞선 RCD01~03과 **기본 기능의 연속성을 가지면서 속도 향상 등 성능 개선을 이룬 최신 세대**이며, **이전 버전들과의 호환성을 유지**하도록 정의되어 있습니다[[2]](https://store.accuristech.com/standards/jedec-jesd82-514-01?product_id=2906165&srsltid=AfmBOopbz-8LfnA26_Mwqp0SE-bRYcQ0R5mF6ZatlEyEMuGHZNGFaS9t#:~:text=The%20purpose%20is%20to%20provide,with%20DDR5RCD03%2C%20DDR5RCD02%20and%20DDR5RCD01).

## 4. JEDEC 표준 개정 절차 (Revision Process)

JEDEC의 표준 개정은 **회원사들의 협력과 합의를 통해 진행되는 절차**입니다. 새로운 표준을 만들거나 기존 표준을 변경하기 위해, **여러 이해관계자 (JEDEC 회원 기업)들이 제안서를 제출**하면서 과정이 시작됩니다. 예를 들어 DDR5 RCD 표준을 개정하고자 할 때 메모리 제조사, CPU 제조사, 관련 칩 업체 등이 **필요한 수정이나 신규 기능에 대한 제안을 올릴 수 있습니다**. 이러한 **“제안(Proposal)” 단계** 이후에는, JEDEC 내 해당 기술 분야의 **전문위원회(예: DRAM 모듈 위원회 JC-45 등)**에서 그 제안들을 **검토(Review)**합니다[[19]](https://www.ituonline.com/tech-definitions/what-is-jedec/#:~:text=1,made%20available%20to%20the%20industry). 위원회 회원들은 제안된 변경의 타당성, 구현 가능성, 호환성 영향을 토의하며 **여러 차례 회의와 의견 조율**을 거칩니다. 필요한 경우 **여러 번의 수정 초안(draft)**이 작성되어 참가자들의 피드백을 반영하면서 다듬어집니다.

충분한 논의 끝에 위원회에서 개정안이 성숙되면, **JEDEC 전체 회원사 투표(Balloting)**에 부쳐집니다[[19]](https://www.ituonline.com/tech-definitions/what-is-jedec/#:~:text=1,made%20available%20to%20the%20industry). **JEDEC 회원사 각 한 표씩 투표권**을 가지며, 정해진 의결 정족수 및 찬성 비율을 만족하면 개정안이 승인됩니다[[20]](https://www.techtarget.com/searchstorage/definition/JEDEC#:~:text=standards%20are%20listed%20on%20its,member%20company%20gets%20one%20vote). 표결 과정에서 만약 심각한 이견이나 미해결 문제가 있을 경우 개정안이 수정되거나 보류될 수도 있지만, **대체로 회원사들의 광범위한 합의를 이끌어내는 것이 목표**입니다. 투표를 통과한 표준 개정안은 **JEDEC 이사회(Board of Directors)의 최종 승인**을 거쳐 **공식 표준으로 출판(Publication)**됩니다[[19]](https://www.ituonline.com/tech-definitions/what-is-jedec/#:~:text=1,made%20available%20to%20the%20industry). 이렇게 공개된 새로운 **JESD 표준 문서**는 JEDEC 웹사이트 등에 게시되어 업계에서 참고할 수 있게 되고, 각 회원사는 이를 따라 **자사 제품을 업데이트**하게 됩니다.

정리하면, JEDEC 표준의 개정 절차는 **① 회원사의 제안 제출 → ② 위원회 검토/수정 → ③ 회원 투표 → ④ 승인 및 발표**의 단계를 거칩니다[[19]](https://www.ituonline.com/tech-definitions/what-is-jedec/#:~:text=1,made%20available%20to%20the%20industry). **여러 업체가 참여하여 투명하고 공정하게 표준을 발전**시키는 과정이며, 이러한 합의 기반의 개정을 통해 DDR5 RCD같은 표준도 지속적으로 개선되어 온 것입니다.

[[1]](https://www.ituonline.com/tech-definitions/what-is-jedec/#:~:text=JEDEC%2C%20the%20Joint%20Electron%20Device,microprocessors%2C%20and%20other%20integrated%20circuits) [[3]](https://www.ituonline.com/tech-definitions/what-is-jedec/#:~:text=Keeping%20Pace%20with%20Technology) [[19]](https://www.ituonline.com/tech-definitions/what-is-jedec/#:~:text=1,made%20available%20to%20the%20industry) What Is JEDEC? - ITU Online IT Training

<https://www.ituonline.com/tech-definitions/what-is-jedec/>

[[2]](https://store.accuristech.com/standards/jedec-jesd82-514-01?product_id=2906165&srsltid=AfmBOopbz-8LfnA26_Mwqp0SE-bRYcQ0R5mF6ZatlEyEMuGHZNGFaS9t#:~:text=The%20purpose%20is%20to%20provide,with%20DDR5RCD03%2C%20DDR5RCD02%20and%20DDR5RCD01) [[16]](https://store.accuristech.com/standards/jedec-jesd82-514-01?product_id=2906165&srsltid=AfmBOopbz-8LfnA26_Mwqp0SE-bRYcQ0R5mF6ZatlEyEMuGHZNGFaS9t#:~:text=1.%20JEDEC%20JESD82,DDR5RCD04%29%20%EE%88%82%20Historical%20Version) [[17]](https://store.accuristech.com/standards/jedec-jesd82-514-01?product_id=2906165&srsltid=AfmBOopbz-8LfnA26_Mwqp0SE-bRYcQ0R5mF6ZatlEyEMuGHZNGFaS9t#:~:text=DDR5%20Registering%20Clock%20Driver%20Definition,DDR5RCD04) [[18]](https://store.accuristech.com/standards/jedec-jesd82-514-01?product_id=2906165&srsltid=AfmBOopbz-8LfnA26_Mwqp0SE-bRYcQ0R5mF6ZatlEyEMuGHZNGFaS9t#:~:text=The%20designation%20DDR5RCD04%20refers%20to,up%20a%20complete%20part%20designation) JEDEC JESD82-514.01

<https://store.accuristech.com/standards/jedec-jesd82-514-01?product_id=2906165&srsltid=AfmBOopbz-8LfnA26_Mwqp0SE-bRYcQ0R5mF6ZatlEyEMuGHZNGFaS9t>

[[4]](https://www.atpinc.com/blog/why-do-RDIMM-need-RCD-DDR4-registered-IC#:~:text=A%20registered%20clock%20driver%20,reduce%20impact%20on%20signal%20integrity) Why RCDs are Critical Components of RDIMMs ?

<https://www.atpinc.com/blog/why-do-RDIMM-need-RCD-DDR4-registered-IC>

[[5]](https://www.mouser.com/datasheet/2/671/ddr5_rdimm_core-3310292.pdf?srsltid=AfmBOoqourhsfI78GaItSdDVOOhJ7XSXR6jALB714A6pYv7MAChwB0JE#:~:text=higher%20densities%20and%20increase%20signal,differential%20pairs%20of%20clock%20outputs) [[7]](https://www.mouser.com/datasheet/2/671/ddr5_rdimm_core-3310292.pdf?srsltid=AfmBOoqourhsfI78GaItSdDVOOhJ7XSXR6jALB714A6pYv7MAChwB0JE#:~:text=To%20reduce%20the%20electrical%20load,SDRAM%20devices%2C%20which%20helps%20enable) [[9]](https://www.mouser.com/datasheet/2/671/ddr5_rdimm_core-3310292.pdf?srsltid=AfmBOoqourhsfI78GaItSdDVOOhJ7XSXR6jALB714A6pYv7MAChwB0JE#:~:text=Parity%20Operations%20The%20RCD%20includes,checking%20is%20enabled%2C%20the%20RCD) [[10]](https://www.mouser.com/datasheet/2/671/ddr5_rdimm_core-3310292.pdf?srsltid=AfmBOoqourhsfI78GaItSdDVOOhJ7XSXR6jALB714A6pYv7MAChwB0JE#:~:text=Parity%20Operations%20The%20RCD%20includes,drain%20ALERT_n%20pin) [[15]](https://www.mouser.com/datasheet/2/671/ddr5_rdimm_core-3310292.pdf?srsltid=AfmBOoqourhsfI78GaItSdDVOOhJ7XSXR6jALB714A6pYv7MAChwB0JE#:~:text=phase,specifications%20for%20more%20detail) DDR5 SDRAM RDIMM Core

<https://www.mouser.com/datasheet/2/671/ddr5_rdimm_core-3310292.pdf?srsltid=AfmBOoqourhsfI78GaItSdDVOOhJ7XSXR6jALB714A6pYv7MAChwB0JE>

[[6]](https://www.maxvytech.com/product/jedec/rcd/DDR5RCD03.html#:~:text=The%20DDR5RCD03%20is%20a%20registering,the%20data%20buffers%20for%20LRDIMMs) [[11]](https://www.maxvytech.com/product/jedec/rcd/DDR5RCD03.html#:~:text=The%20DDR5RCD03%20is%20a%20registering,the%20data%20buffers%20for%20LRDIMMs) [[12]](https://www.maxvytech.com/product/jedec/rcd/DDR5RCD03.html#:~:text=,Interrupt%20Arbitration) DDR5 REGISTERING CLOCK DRIVER (RCD) IP - (DDR5RCD03) | Maxvy Technologies

<https://www.maxvytech.com/product/jedec/rcd/DDR5RCD03.html>

[[8]](https://www.anandtech.com/show/21205/rambus-preps-updated-rcd-for-server-grade-ddr5-7200-modules#:~:text=An%20RCD%20functions%20as%20a,7200%20modules) [[13]](https://www.anandtech.com/show/21205/rambus-preps-updated-rcd-for-server-grade-ddr5-7200-modules#:~:text=RCDs%20are%20crucial%20for%20contemporary,generation%20server%20platforms) Rambus Preps Updated RCD for Server-Grade DDR5-7200 Modules

<https://www.anandtech.com/show/21205/rambus-preps-updated-rcd-for-server-grade-ddr5-7200-modules>

[[14]](https://img.antpedia.com/standard/files/pdfs_ora/20230825/new27/JEDEC%20JESD82-513-2023.pdf#:~:text=D%20D%20R5%20Re%20g,rc%20h%2020%202%203) img.antpedia.com

<https://img.antpedia.com/standard/files/pdfs_ora/20230825/new27/JEDEC%20JESD82-513-2023.pdf>

[[20]](https://www.techtarget.com/searchstorage/definition/JEDEC#:~:text=standards%20are%20listed%20on%20its,member%20company%20gets%20one%20vote) What is JEDEC?

<https://www.techtarget.com/searchstorage/definition/JEDEC>